

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-222262

(43)Date of publication of application : 02.10.1986

(51)Int.Cl.

H01L 29/78
G11C 17/00
H01L 27/10
H01L 31/14

(21)Application number : 60-062102

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.1985

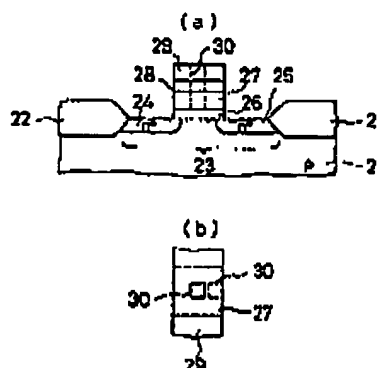
(72)Inventor : USAMI TOSHIRO

(54) SEMICONDUCTOR PICTURE MEMORY DEVICE

(57)Abstract:

PURPOSE: To obtain a simple device in which electric writing is not required, by providing a light path, which penetrates a floating gate and a control gate and reaches the surface of a substrate, injecting electrons into the floating gate in correspondence with the intensity of light, which is projected on the substrate surface through said light path, changing the threshold voltage, and storing the picture information.

CONSTITUTION: A specified bias voltage is applied across source and drain regions 24 and 25. Under the state where a high voltage, e.g., +15V, is applied to a control electrode 29, light is projected. Then pairs of electrons and holes are generated in a substrate 21 by the projected light. The electrons among them are captured by a floating gate 27. At this time, the threshold voltage of this memory cell is increased from the original low value. Meanwhile, when the light is not projected, the pairs of the electrons and the holes are not generated, and the threshold voltage of the memory cell remains at the original low value. Therefore, e.g., the state where the threshold voltage is increased is specified as a '1' level; and the state where the voltage is not changed from the original level is specified as a '0' level. When the light including the picture information is projected on the memory cell array of the memory device, the picture information is stored in each memory cell as the information of the '1' level or the '0' level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-222262

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月2日

H 01 L 29/78
G 11 C 17/00
H 01 L 27/10
31/14

101

7514-5F
6549-5B
6655-5F
6819-5F

審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 半導体画像記憶装置

⑮ 特 願 昭60-62102

⑯ 出 願 昭60(1985)3月28日

⑰ 発 明 者 宇 佐 美 俊 郎 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体画像記憶装置

2. 特許請求の範囲

浮置ゲートおよび制御ゲートを有する不揮発性メモリセルを用いた半導体記憶装置において、浮置ゲートおよび制御ゲートを周通し基板表面に流すような光通路を設け、この光通路を通じて基板表面に光が照射できるように構成したことを特徴とする半導体画像記憶装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は画像情報を格納する半導体記憶装置に係り、特に簡便に画像情報を不揮発性記憶装置に格納でき、必要時には再読み込みが可能な半導体画像記憶装置に関する。

〔発明の技術的背景とその問題点〕

従来、画像情報を記憶し、その一部を書き直すことが可能な画像記憶システムとしては第4図に示すようなものがよく知られている。このシステ

ムでは図示しないデフタイザまたは他の周知装置により得られる線形変換されたデジタル信号がデータ・バス1を介してプロセッサ2やベクタ・ジェネレータ3に供給される。上記プロセッサ2やベクタ・ジェネレータ3は上記デジタル信号を処理して画像データを作成し、これをいったんフレーム・バッファ4に書き込む。このフレーム・バッファ4としては通常、ビット平面の安いダイナミックRAMが用いられており、このフレーム・バッファ4に取納された画像情報は必要に応じてロック・アップ・テーブル5を通して記憶符号に変換され、タイミング・ジェネレータ6から出力されるタイミング信号とともにモニタ回路7に供給され、ここで画像として表示される。

このようなシステムにおける画像情報の一部書き換えは、ベクタ・ジェネレータ3を通じてフレーム・バッファ4内の行と列を選択してセル情報の書き換えを行なうことによって達成される。

ところが、このシステムでは画像情報を得るために高価なデフタイザや周知装置が必要であり、

特開昭61-222262 (2)

システム全体の価格が高価となる欠点がある。

また、システムの記憶系にはデフタイザや画像装置から供給される時系列化された信号をフレーム・バッファ4に書き込む操作が必要であり、または磁気ディスク等に既に画像情報が記録されているような場合にもこの信号を読み出してフレーム・バッファ4に書き込む操作が必要となる。しかしながら、この書き込み操作の割当ではダイナミックRAMにとっては比較的困難であり、必ず読み出し期間の合間をもちて行なわなければならない。このため、特に大容量化されたダイナミックRAMを用いた場合には、書き込みの効率が低下するという欠点がある。例えば表示分辨率が1280×1024画素でリフレッシュ・レートが60Hzのフレーム・バッファ4を18KビットのダイナミックRAMで構成する場合に情報の書き込みで使用できる時間がサイクル時間全体の60%であるのに対し、84Kビットの高集積化されたダイナミックRAMを32倍使用して構成した場合にはその比率が30%にまで低下してしまう。今後、ダイナミッ

クRAMは大容量化の方向にあり、このため画像メモリとしては特異な素子を要求する結果になってしまう。

また、製夜ではフレーム・バッファに対する情報の書き込み時間が問題となっているが、将来、非常に高速のサイクル時間を持つダイナミックRAMが出現したとしても、データ・バス1を介して時系列化された画像情報の書き込みを行なうことは時間的に効率が悪いと考えられる。

【発明の目的】

この発明は上記のような事情を考慮してなされたものでありその目的は、画像情報の電気的な書き込みが必要なく、簡便でしかも安価に構成することができる半導体画像記憶装置を提供することにある。

【発明の概要】

上記のような目的を達成するためこの発明の半導体画像記憶装置にあっては、浮遊ゲートおよび制御ゲートを有する不揮発性メモリセルを用いた半導体記憶装置において、浮遊ゲートおよび制御

ゲートを貫通し基板表面に達するような光通路を設け、この光通路を通じて基板表面に照射される光の強さに対応してその浮遊ゲートに電子を注入せしめ、そのしきい値電圧を変えることにより画像情報の記憶を行なわせるようにしている。

【発明の実施例】

以下、図面を参照してこの発明の一実施例を説明する。

第1図はこの発明の半導体画像記憶装置の一実施例の構成を示すブロック図である。この半導体画像記憶装置の概略的な構成は例えば現在市販されている256Kビットの素子構造型の読み出し専用半導体記憶装置（EPROM）と同様であり、それぞれ浮遊ゲートおよび制御ゲートを有する不揮発性メモリセル（図示せず）を行および列方向にマトリクス状に配列してなるメモリセルアレイ11、このメモリセルアレイ11内のメモリセルをロウ方向で選択するロウ・デコーダ12、このロウ・デコーダ12で選択される1行分のメモリセルの中からいくつかを選択するカラム・ゲート回路13、

このカラム・ゲート回路13で選択されるメモリセルの記憶情報を外部に出力制御する出力バッファ14、上記カラム・ゲート回路13の動作を制御するカラム・デコーダ15、外部から供給されるロウ・アドレスおよびカラム・アドレスをいったん記憶し、上記ロウ・デコーダ12およびカラム・デコーダ15にそれぞれ供給するアドレス・バッファ16、チップ・イネーブル信号 \overline{CE} およびアウトプット・イネーブル信号 \overline{OE} 等の制御信号が供給され、これらの制御信号に基づいて上記ロウ・デコーダ12、カラム・デコーダ15、出力バッファ14、アドレス・バッファ16それぞれの動作を制御する制御回路17とから構成されている。

そしてこの実施例装置では、上記メモリセルアレイ11を構成する各メモリセルが通常のものと異なり、それぞれ第2図に示すように構成されている。すなわち、第2図（a）は各メモリセルの素子構造を示す断面図であり、第2図（b）はその一部のパターン平面図である。第2図において21は例えばP型の半導体基板であり、この基板21

特開昭61-222262 (3)

がフィールド絶縁膜22で分離されている素子領域23には n^+ 型のソース、ドレイン領域24、25が形成されている。さらに上記ソース、ドレイン領域24、25相互間のチャンネル領域上には、ゲート絶縁膜26を介して、例えばリン等の不純物がドーパされている多結晶シリコンからなり電気的に浮遊状態にされた浮遊ゲート電極27が形成されている。さらにこの浮遊ゲート電極27上にはゲート絶縁膜28を介して、リン等の不純物がドーパされている多結晶シリコンによって形成された制御ゲート電極29、ゲート絶縁膜28、浮遊ゲート電極27からなる多層膜構造のほぼ中央には、この多層膜構造を貫通する例えば一辺が1 μ m程度の寸法にされた四角形状の透孔30が形成されており、この透孔30は光を透過するシリコン酸化膜等の絶縁膜によって満たされている。

このような構成のメモリセルは上記透孔30が光透過路を形成し、セル上面に照射された光はこの透孔30を介して基板21の表面に到達する。

構成することができる。しかも、光を用いて二次元的に画像を書き込むので、従来のように電気的にかつ行と列を指定して書き込む場合に比較して書き込みにかかる時間は大幅に短縮される。

さらにこのようなEPRROM型の記憶装置は浮遊ゲート電極27が絶縁膜によって電気的に浮遊状態にされているので、一度書き込まれた情報は擦去を行なわない限り不揮発的に保持される。また情報の擦去は通常のEPRROMと同様に紫外線を照射することにより行なえるので、画像情報を自由に何度も書き直えることができる。

ところで、上記第2図のような構成のメモリセルは通常のEPRROMと同様に浮遊ゲート電極27および制御ゲート電極29を形成した後、反応性イオン・エッチング(RIE)技術によるエッチングを施して上記透孔30を形成し、この後、パッシベーションを行なうことにより透孔30を絶縁膜で満たすことにより容易に構成することができる。

第3図はこの発明の応用例を示すものであり、

ここでいま、上記第2図のような構成のメモリセルにおいて、ソース、ドレイン領域24、25間に所定のバイアス電圧を印加し、制御ゲート電極29に高電圧、例えば+15Vの電圧を印加した状態で光を照射したとする。すると照射された光により基板21内には電子、正孔対が発生し、このうちの電子が上記浮遊ゲート電極27に捕獲される。このとき、このメモリセルのしきい値電圧は元の低い値から上昇する。他方、光を照射しない場合には電子、正孔対は発生せず、このメモリセルのしきい値電圧は元の低い値のままにされる。従って、例えばしきい値電圧が上昇したときを“1”レベル、変化せず元のままの状態を“0”レベルと規定し、第1図の記憶装置のメモリセルアレイ11に対して画像情報を含む光を照射すれば、この画像情報は各メモリセルにおいて“1”レベルもしくは“0”レベルの情報として記憶される。

上記実施例の記憶装置を用いれば、従来のように高価なディフタイザや露光装置を用いずに画像情報を記憶させることができる。このため安価に

第1図のような記憶装置を用いて画像記憶、表示システムを構成した場合のプロック図である。図において41はこの発明に係る記憶装置であり、光の照射によって画像情報が記憶される。この記憶装置41に記憶された画像情報は必要に応じてロック・アップ・テーブル42を過して輝度値用に変換され、タイミング・ウェーブタ43から出力されるタイミング信号とともにモニタ装置44に供給され、ここで画像として表示される。なお、45はプロセッサ、46はデータバスである。

なお、この発明は上記実施例に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば上記実施例では制御ゲート電極29、ゲート絶縁膜28、浮遊ゲート電極27からなる多層膜構造のほぼ中央に透孔30を形成する場合について説明したが、これは光の照射により発生される電子、正孔対の量が最も多くなるような、例えば第2図において破線で示すように前記チャンネル領域とソースもしくはドレイン領域との界面に対応する位置に前記透孔30を設けるようにしてもよい。

特開昭61-222262 (4)

さらに上記実施例装置は一面量分のみを記憶する場合のものであるが、これは第2図に示すような記憶装置を複数個用いて複数面を記憶するような構成にしてもよい。

【発明の効果】

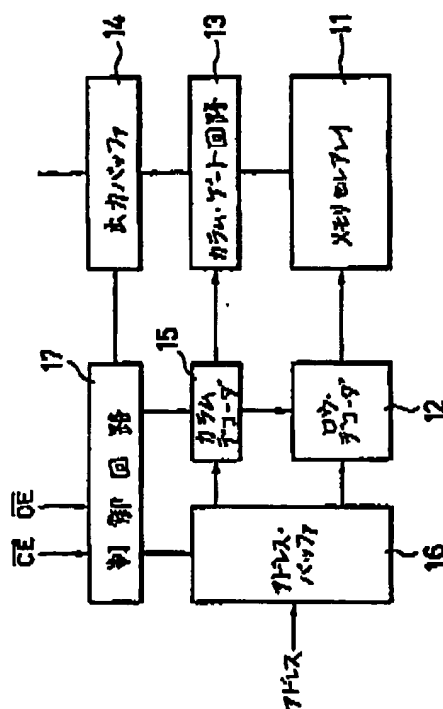
以上説明したようにこの発明によれば、画像情報の電気的な書き込みが容易で、簡便でしかも安価に構成することができる半導体面記憶装置を提供することができる。

4. 図面の簡単な説明

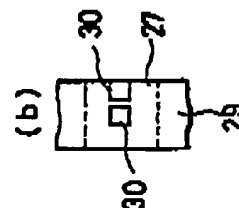
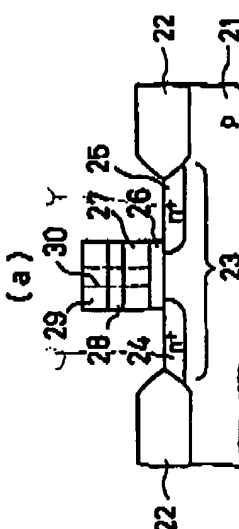
第1図はこの発明の一実施例の示すブロック図、第2図は上記実施例装置の一部を具体的に示す断面図およびパターン平面図、第3図はこの発明の応用例の構成を示すブロック図、第4図は従来装置のブロック図である。

11—メモリセルアレイ、12—ロウ・デコーダ、13—カラムゲート回路、14—出力バッファ、15—カラム・デコーダ、16—アドレス・バッファ、17—制御回路、27—浮遊ゲート電極、29—制御ゲート電極、30—遮孔。

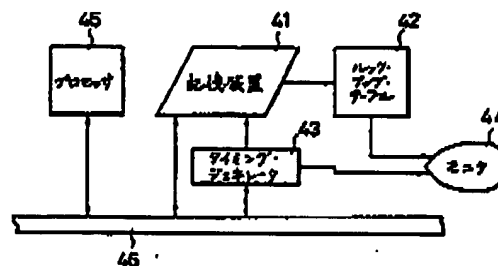
第1図



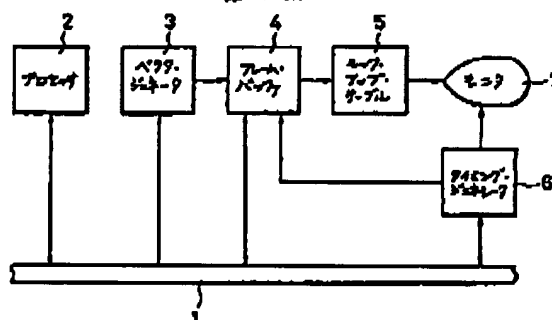
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.